

Japanese Patent Laid-Open No. 23575/1989

Laid-Open Date: January 26, 1989

Application No. 179687/1987

Application Date: July 17, 1987

Request for Examination: Not made

Inventors: Jun Kudo et al

Applicant: Sharp Corp.

#### SPECIFICATION

##### 1. Title of the Invention

THIN FILM TRANSISTOR

##### 2. Claims

1. A thin film transistor in which a MIS type electric field effect transistor is formed in a semiconductor active layer formed on an insulating surface of a substrate at least whose surface is an insulating substance,

characterized in that a gate electrode of the electric field effect transistor is constituted by one kind of simple substance material among molybdenum (Mo), tantalum (Ta), titanium (Ti), platinum (Pt), palladium (Pd) and copper (Cu) or an alloy material of these.

2. A thin film transistor set forth in claim 1, characterized in that the gate electrode has a silicon nitride (SiN) film on the gate electrode as an inter-layer insulating

film.

3. A thin film transistor set forth in claim 1, characterized in that the gate electrode has a gate insulating film below the gate electrode, and at least a gate electrode side of the gate insulating film is constituted by a silicon nitride (SiN) film.

4. A thin film transistor set forth in claim 2 or 3, characterized in that the silicon nitride (SiN) film is a plasma CVD-SiN film.

### 3. Detailed Description of the Invention

#### [Industrial Field of Application]

The present invention relates to a thin film transistor applied to an active matrix liquid crystal display constituting a large area, and the like. More detailedly, it relates to a thin film transistor capable of being formed by a low temperature process lower than a strain point temperature of glass.

#### [Prior Art]

In an active matrix system which is becoming the mainstream of a large screen and high resolution liquid crystal display, it is necessary to form the thin film transistor on a transparent substrate. As an active layer of this thin film transistor, although an amorphous silicon and a polycrystalline silicon are used, the polycrystalline silicon is desirable in view of an operating speed and the like.

However, many dangling bonds exist in the polycrystalline silicon, and these form a localized level in a forbidden band, thereby making a threshold value voltage high. This localized level is somewhat decreased by a heat treatment, but only by this it is insufficient. Therefore, there has been performed an attempt to decrease the localized level by causing hydrogen atoms to bond with the dangling bonds (hydrogenation). As this method, there have been adopted a hydrogen plasma anneal, a hydrogen ion implantation, a diffusion from plasma CVD-SiN:H, and the like.

[Problems that the Invention is to Solve]

However, although a certain degree of effect is recognized in any of the above methods, it is insufficient yet, and it is the present situation that the threshold value voltage is high.

As one of causes for the fact that a sufficient effect is not obtained by the hydrogenation mentioned above, there is raised the fact that a gate electrode located just above an active layer channel region to be hydrogenated hinders a transmission of the active hydrogen. As the gate electrode, the polycrystalline silicon is usually used, and it is considered that the localized level in this gate polycrystalline silicon hinders the transmission of the hydrogen and robs the hydrogen of its activity. Therefore, there has been performed an attempt to enhance a transmittance

of the active hydrogen by means of decreasing the localized level by making the gate polycrystalline silicon into a thin film or increasing its quality. However, there is a problem that a gate wiring resistance becomes high in making the thin film and, also as to the increase in its quality, there is a limit in effect for the low temperature (lower than the glass strain point) heat treatment. Besides, also as to silicide such as  $\text{MoSi}_2$  and  $\text{WSi}_2$ , the transmission of the active hydrogen is hindered owing to its silicon component. Therefore, it is considered that it is effective to use in the gate electrode a simple substance or an alloy of metal(s) having a high hydrogen transmittance (Mo, W, Ta, etc.). However, there is a problem that the simple substance such as Mo, W and Ta is liable to be oxidized and reacts with oxygen even at  $400^\circ\text{C}$  or lower, so that an oxide is generated.

The present invention has been made in order to solve the problem mentioned above, and its object is to provide a thin film transistor having a structure capable of obtaining a high efficiency when performing the hydrogenation to the polycrystalline silicon constituting the active layer.

[Means for Solving the Problems and Its Action]

In order to achieve the above object, the present invention is a thin film transistor in which a MIS type electric field effect transistor is formed in a semiconductor active layer formed on an insulating surface of a substrate at least

whose surface is an insulating substance, wherein a gate electrode of the electric field effect transistor is constituted by one kind of simple substance material among molybdenum (Mo), tungsten (W), tantalum (Ta), titanium (Ti), platinum (Pt), palladium (Pd) and copper (Cu) or an alloy material of these.

That is, in the present invention or its embodiment, as a material of the gate electrode, there is used a simple substance of the metal having a high hydrogen transmittance such as molybdenum (Mo), tungsten (W), tantalum (Ta), titanium (Ti), platinum (Pt), palladium (Pd) and copper (Cu) or the alloy material of these, and a periphery of the gate electrode (an inter-layer insulating film and a gate insulating film) is formed by a silicon nitride (SiN) film.

Like the present invention, by means of forming the gate electrode by a material having a high hydrogen transmittance, it is possible to increase a hydrogenation efficiency of an active layer channel portion, and an oxidation at a heat treatment time (activation anneal) is prevented by means of forming the periphery of the gate electrode by the silicon nitride (SiN) film. According to a plasma CVD method, the silicon nitride (SiN) film can be formed at low temperatures (150 - 400°C), the oxidation at a film forming time is prevented, and the hydrogenation efficiency is also improved because hydrogen contained in the silicon nitride (SiN) film becomes

a supply source of the hydrogenation.

<Embodiment>

Next, one embodiment of the present invention is detailedly explained by referring to the drawings.

Hereunder, as one embodiment of the present invention, a manufacture of a polycrystalline thin film transistor by a low temperature process is detailedly explained, but the present invention is not limited to following embodiment.

Fig. 1(a) - Fig. 1(f) are sectional views showing manufacturing processes of the polycrystalline silicon thin film transistor forming a MIS type electric field effect transistor.

First, a Pyrex glass substrate 1 which is an insulating substance was subjected to an organic cleaning or an acid cleaning, thereafter a polycrystalline silicon thin film was vapor-deposited in a film thickness of 500 Å onto the substrate 1 by a vacuum evaporation method, and an active layer portion 2 was formed by performing a patterning as shown in Fig. 1(a). Subsequently, as shown in Fig. 1(b), a silicon oxide film 3 was deposited in 500 Å at 420°C by a normal pressure CVD method, and thereafter a silicon nitride film 4 was deposited in 500 Å at 300°C by a plasma CVD method, thereby forming a gate insulating film. Next, as shown in Fig. 1(c), a simple substance molybdenum (Mo) was deposited in 1500 Å by a sputter method, thereafter a gate electrode 5 was formed by performing

a patterning, and boron ions ( $^{11}\text{B}^-$ ) were implanted by  $2 \times 10^{15}/\text{cm}^2$  at 35 keV, thereby forming source and drain portions. Subsequently, as shown in Fig. 1(d), a silicon nitride film 6 was deposited in 1000 Å at 300°C by the plasma CVD method, and thereafter an anneal was performed for 1 hour at 550°C in a nitrogen atmosphere, thereby performing an activation of the implanted impurity. On this occasion, since the gate electrode 5 is covered in its periphery by the silicon nitride films 4 and 6, it is not oxidized also by a residual gas. Next, as shown in Fig. 1(e), a silicon nitride film 7 was deposited in 4000 Å at 300°C by the plasma CVD method, and contact holes 8 and 9 of the source and drain portions were perforated.

Subsequently, as shown in Fig. 1 (f), an AlSi was deposited in 5000 Å by the sputter method, and thereafter source and drain electrodes 10 and 11 were formed by performing the patterning. Finally, contacts of the AlSi at the source and drain portions were taken by performing an anneal at 440°C for 30 minutes and hydrogen in the silicon nitride film 7 was diffused (hydrogenated) into the active layer, thereby completing a thin film transistor.

The thin film transistor produced in such a manner as mentioned above is made a sample A. In order to compare with the sample A which is one embodiment of the present invention, there was produced a thin film transistor in which a polycrystalline silicon, of 1500 Å in thickness, formed by the

aforesaid vacuum evaporation method is used in the gate electrode, and this was made a sample B. On this occasion, other processes are the same as those in the embodiment mentioned above.

Fig. 2 shows characteristics of gate voltage versus drain electric current of the above samples A and B. Incidentally, a channel length and a channel width in these thin film transistors are both 10  $\mu\text{m}$ , and a bias voltage of the drain with respect to the source is -2 V.

As apparent from Fig. 2, it is understood that a hydrogenation efficiency is enhanced by using the molybdenum (Mo) having a high hydrogen transmittance as the gate electrode, so that characteristics are improved such that a rise of drain electric current becomes rapid and ON electric current increases.

Incidentally, in the embodiment mentioned above, the molybdenum (Mo) simple substance was used as the gate electrode, but the present invention is not limited to this, and a simple substance such as W, Ta, Ti, Pt, Pd, Cu or an alloy of these may be used. Besides, in the embodiment mentioned above, although the silicon nitride film was formed at 300°C by the plasma CVD method, since it is required that the gate electrode is in a temperature range in which it is not oxidized and hydrogen is abundantly contained in the silicon nitride film, it is necessary to form the film at 400°C or lower, and desirably



it is preferable to form the film at 250 - 350°C.

[Effect of the Invention]

As mentioned above, according to the present invention, when forming the thin film transistor onto the substrate, such as the glass substrate, whose surface is the insulating substance, it becomes possible to form it without oxidizing the gate electrode having the high hydrogen transmittance, so that it is possible to enhance the hydrogenation efficiency and improve transistor characteristics. By this, it becomes possible to manufacture the thin film transistor having excellent characteristics, so that an application to a liquid crystal display element and the like is expected.

4. Brief Description of the Drawings

Fig. 1(a) to Fig. 1(f) are views respectively showing a section in each manufacturing process of a thin film transistor as one embodiment of the present invention, and Fig. 2 is a comparison view comparing characteristics of thin film transistors of the embodiment and a conventional example.

1...insulating substrate (Pyrex glass), 2...active layer (polycrystalline silicon), 3...gate insulating film(silicon oxide film), 4...gate insulating film (silicon nitride film), 5...gate electrode (Mo), 6...oxidation preventing film (silicon nitride film), 7...inter-layer insulating film (silicon nitride film), 8...source portion contact hole, 9...drain portion contact hole, 10...source

electrode (AlSi), 11...drain electrode (AlSi),  
A...characteristic in case that Mo is used in the gate electrode,  
B...characteristic in case that the polycrystalline silicon  
is used in the gate electrode.

Representatives Tsuyoshi Sugiyama, patent attorney  
(and one other)

FIG. 1

- 2 POLYCRYSTALLINE SILICON THIN FILM
- 1 PYREX GLASS SUBSTRATE
- 4 SILICON NITRIDE FILM
- 3 CVD SILICON OXIDE FILM
- 5 GATE ELECTRODE
- 6 OXIDATION PREVENTING FILM
- 8 CONTACT HOLE
- 9 CONTACT HOLE
- 7 INTER-LAYER INSULATING FILM
- 10 SOURCE ELECTRODE
- 11 DRAIN ELECTRODE

FIG. 2

- (a) DRAIN ELECTRIC CURRENT
- (b) GATE VOLTAGE

DIALOG(R)File 352:Derwent WPI

(c) 2001 Derwent Info Ltd. All rts. reserv.

007806804      \*\*Image available\*\*

WPI Acc No: 1989-071916/198910

Thin film transistor for active matrix LCD - by incorporating FET gate electrode with molybdenum, tantalum, titanium, platinum, palladium or copper NoAbstract Dwg 1f/2

Patent Assignee: SHARP KK (SHAF )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 1023575	A	19890126	JP 87179687	A	19870717	198910 B

Priority Applications (No Type Date): JP 87179687 A 19870717

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 1023575	A		3		

Title Terms: THIN; FILM; TRANSISTOR; ACTIVE; MATRIX; LCD; INCORPORATE; FET; GATE; ELECTRODE; MOLYBDENUM; TANTALUM; TITANIUM; PLATINUM; PALLADIUM; COPPER; NOABSTRACT

Index Terms/Additional Words: FIELD; EFFECT; TRANSISTOR

Derwent Class: L03; U12; U14

International Patent Class (Additional): H01L-027/12; H01L-029/78

File Segment: CPI; EPI

⑫ 公開特許公報(A)

昭64-23575

⑪ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 昭和64年(1989)1月26日

H 01 L 29/78  
27/12

3 1 1

G-7925-5F  
7514-5F

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 薄膜トランジスタ

⑮ 特 願 昭62-179687

⑯ 出 願 昭62(1987)7月17日

⑰ 発 明 者 久 保 田 靖 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社  
内  
⑱ 発 明 者 工 藤 淳 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社  
内  
⑲ 発 明 者 木 場 正義 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社  
内  
⑳ 出 願 人 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号  
㉑ 代 理 人 弁理士 杉山 毅至 外1名

明 細 書

1. 発明の名称

薄膜トランジスタ

2. 特許請求の範囲

1. 少なくとも表面が絶縁物質である基板の絶縁表面上に形成された半導体活性層にMIS型電界効果トランジスタを形成してなる薄膜トランジスタであって、

上記電界効果トランジスタのゲート電極をモリブデン(Mo)、タンタル(Ta)、チタン(Ti)、白金(Pt)、パラジウム(Pd)、銅(Cu)のうちの1種の単体材料、あるいはこれらの合金材料によって構成してなることを特徴とする薄膜トランジスタ。

2. 前記ゲート電極は当該ゲート電極上に層間絶縁膜としてシリコン窒化(SiN)膜を備えてなることを特徴とする特許請求の範囲第1項記載の薄膜トランジスタ。

3. 前記ゲート電極は当該ゲート電極下にゲート絶縁膜を備え、該ゲート絶縁膜の少なくともゲ

ート電極側をシリコン窒化(SiN)膜によって構成してなることを特徴とする特許請求の範囲第1項記載の薄膜トランジスタ。

4. 前記シリコン窒化(SiN)膜はプラズマCVD-SiN膜であることを特徴とする特許請求の範囲第2項もしくは第3項記載の薄膜トランジスタ。

3. 発明の詳細な説明

<産業上の利用分野>

本発明は、大面積を構成するアクティブ・マトリックス液晶ディスプレイ等に応用される薄膜トランジスタに関するものであり、更に詳細には、ガラスの沸点温度以下の低温プロセスで形成し得る薄膜トランジスタに関するものである。

<従来の技術>

大画面、高解像度液晶ディスプレイの主流になりつつあるアクティブ・マトリックス方式では、薄膜トランジスタを透明基板上に形成する必要がある。この薄膜トランジスタの活性層としては、アモルファスシリコンや多結晶シリコンが用いら

特開昭64-23575(2)

れているが、動作速度などからみると多結晶シリコンが望ましい。しかし、多結晶シリコン中には多数のダングリングボンドが存在し、これが素子中に局在単位を形成しており、トランジスタの閾値電圧を大きくしている。この局在単位は熱処理によっても幾らか減少するが、これだけでは不十分である。そこでダングリングボンドに水素原子を結合させること(水素化)によって局在単位を減らす試みが行なわれており、その方法として水素プラズマアニール、水素イオン注入、プラズマCVD-SiN:Hからの拡散などが採られている。

＜発明が解決しようとする問題点＞

しかし、上記のいずれの方法においても、ある程度の効果は認められるものの、まだ充分ではなく、閾値電圧は大きいのが現状である。

上記の水素化で十分な効果が得られない原因の1つとして、水素化すべき活性層チャンネル領域の直上に位置するゲート電極が活性水素の透過を阻害していることが挙げられる。通常ゲート電極としては多結晶シリコンが用いられており、この

ゲート多結晶シリコン中の局在単位が水素の透過を妨げると共に、その活性を奪ってしまうと考えられる。そこで、ゲート多結晶シリコンを薄膜化或いは高品質化することによって局在単位を減少させ、活性水素の透過率を高める試みがなされているが、薄膜化ではゲート配線抵抗が大きくなるという問題があり、また高品質化も、低温(ガラス転点以下)の熱処理では効果に限界がある。また $\text{MoSi}_2$ ,  $\text{WSi}_2$ などのシリサイドでもそのシリコン成分のために活性水素の透過が阻害される。そこで、水素透過率の高い金属( $\text{Mo}$ ,  $\text{W}$ ,  $\text{Ta}$ など)の単体或いは合金をゲート電極に用いることが有効と考えられるが、 $\text{Mo}$ ,  $\text{W}$ ,  $\text{Ta}$ などの単体は、酸化し易く、400℃以下でも酸素と反応し、酸化物を形成してしまうという問題点がある。

本発明は上述する問題を解決するためになされたものであり、活性層をなす多結晶シリコンに対して水素化を行なう際、高い効率を得られるような構造を有する薄膜トランジスタを提供すること

を目的としている。

＜問題点を解決するための手段及び作用＞

上記の目的を達成するため、本発明は少なくとも表面が絶縁物質である基板の絶縁表面上に形成された半導体活性層にMIS型電界効果トランジスタを形成してなる薄膜トランジスタにおいて、上記の電界効果トランジスタのゲート電極をモリブデン( $\text{Mo}$ )、タングステン( $\text{W}$ )、タンタル( $\text{Ta}$ )、チタン( $\text{Ti}$ )、白金( $\text{Pt}$ )、パラジウム( $\text{Pd}$ )、銅( $\text{Cu}$ )のうちの1種の単体材料、あるいはこれらの合金材料によって構成するように成している。

即ち、本発明もしくはその実施態様によってはゲート電極の材料としてモリブデン( $\text{Mo}$ )、タングステン( $\text{W}$ )、タンタル( $\text{Ta}$ )、チタン( $\text{Ti}$ )、白金( $\text{Pt}$ )、パラジウム( $\text{Pd}$ )、銅( $\text{Cu}$ )などの水素透過率の高い金属の単体、或いはこれらの合金を用い、ゲート電極の周囲(層間絶縁膜及びゲート絶縁膜)をシリコン窒化( $\text{SiN}$ )膜で形成するものである。

本発明の如く、ゲート電極を水素透過率の高い材料で形成することにより、活性層チャンネル部の水素化効率を高めることができると共にゲート電極の周囲をシリコン窒化( $\text{SiN}$ )膜で形成することにより、熱処理(活性化アニールなど)時の酸化が防止される。このシリコン窒化( $\text{SiN}$ )膜はプラズマCVD法によれば、低温(150～400℃)で形成することができ、成膜時の酸化が防止されると共に、シリコン窒化( $\text{SiN}$ )膜に含有される水素が、水素化の供給源となるため、水素化効率の向上にもつながるものである。

＜実施例＞

次に、図面を参照して本発明の一実施例を詳細に説明する。

以下に、本発明の一実施例として低温プロセスによる多結晶薄膜トランジスタの作製で詳述するが、本発明は以下の実施例に限定されるものではない。

第1図(a)～(f)はMIS型電界効果トランジスタを形成する多結晶シリコン薄膜トランジスタの製

造工程を示す断面図である。

まず、絶縁物質であるバイレックスガラス基板1を有機洗浄及び酸洗浄した後、基板1上に真空蒸着法により多結晶シリコン薄膜を500Åの膜厚に蒸着し、第1図(a)に示すようにパターンニングして活性層部2を形成した。次いで、第1図(b)に示すように常圧CVD法により420℃でシリコン酸化膜3を500Å堆積した後、プラズマCVD法により300℃でシリコン酸化膜4を500Å堆積してゲート絶縁膜を形成した。次に第1図(c)に示すようにスパッタ法により、単体モリブデン(Mo)を1500Å堆積した後、パターンニングしてゲート電極5を形成し、ボロンイオン( $^{11}\text{B}^+$ )を35keVで $2 \times 10^{15}/\text{cm}^2$ 注入してソース及びドレイン部を形成した。次いで、第1図(d)に示すようにプラズマCVD法により300℃でシリコン酸化膜6を1000Å堆積した後、窒素雰囲気中550℃で1時間アニールを行ない、注入不純物の活性化を行なった。この時ゲート電極5は周囲をシリコン酸化膜4及び6で覆っているため、残

留ガスによっても酸化されない。次に第1図(e)に示すようにプラズマCVD法により、300℃でシリコン酸化膜7を4000Å堆積し、ソース及びドレイン部のコンタクトホール8及び9を開孔した。

次いで第1図(f)に示すように、スパッタ法によりAlSiを5000Å堆積した後、パターンニングしてソース及びドレイン電極10及び11を形成した。最後に440℃、30分のアニールを行ない、ソース及びドレイン部でのAlSiのコンタクトをとると共に、シリコン酸化膜7中の水素を活性層に拡散(水素化)させ、薄膜トランジスタを完成した。

上述の如く作製した薄膜トランジスタを試料Aとし、本発明の一実施例である試料Aと比較するため、ゲート電極に前述の真空蒸着法により形成した1500Å厚の多結晶シリコンを用いた薄膜トランジスタを作製し、試料Bとした。この時他のプロセスは上記実施例と同一である。

第2図は上記試料A、Bのゲート電圧対ドレ

イン電流の特性を示すものである。尚、この薄膜トランジスタのチャンネル長及びチャンネル幅は共に10μmであり、ソースに対するドレインのバイアス電圧は-2Vである。

第2図より明らかなように、ゲート電極として水素透過率の高いモリブデン(Mo)を用いることにより水素化効率が高められ、ドレイン電流の立ち上がりが速くなり、またオン電流が増大するなど特性が改善されていることが解る。

なお、上記実施例では、ゲート電極としてモリブデン(Mo)単体を用いたが、本発明はこれに限らず、W、Ta、Ti、Pt、Pd、Cuなどの単体或いはこれらの合金を用いてもよい。また、上記実施例ではシリコン酸化膜はプラズマCVD法により300℃で形成したが、上記ゲート電極が酸化しない温度範囲であり、かつシリコン酸化膜中に水素が多く含有されていることが要求されるので、400℃以下で成膜する必要があり、望ましくは250~350℃で成膜するのが良い。

<発明の効果>

以上のように本発明によれば、ガラス基板等の表面が絶縁物質である基板上に薄膜トランジスタを形成する際、水素透過率の高いゲート電極を酸化させることなく形成することが可能となり、水素化効率を高めトランジスタ特性を向上させることができる。これにより良好な特性を有する薄膜トランジスタの製造が可能となり、液晶ディスプレイ表示素子等への応用が期待される。

#### 4. 図面の簡単な説明

第1図(a)~(f)はそれぞれ本発明の一実施例としての薄膜トランジスタの各製造工程における断面を示す図、第2図は本実施例と従来例との薄膜トランジスタの特性を比較した比較図である。

1…絶縁基板(バイレックスガラス)、2…活性層(多結晶シリコン)、3…ゲート絶縁膜(シリコン酸化膜)、4…ゲート絶縁膜(シリコン酸化膜)、5…ゲート電極(Mo)、6…酸化防止膜(シリコン酸化膜)、7…層間絶縁膜(シリコン酸化膜)、8…ソース部コンタクトホール、9…ドレイン部コンタクトホール、10…ソース電

種(A<sub>2</sub>Si)、I<sub>1</sub>…ドレイン電極(A<sub>2</sub>Si)、  
A…ゲート電極にMoを用いた場合の特性、B…  
ゲート電極に多結晶シリコンを用いた場合の特性。

代理人 弁理士 杉 山 毅 至(他1名)

BEST AVAILABLE COPY

